EXAMEN OPEN-BOOK DE SEMESTRU, 13 iunie ora 11:00

**SUBIECT MIPS ÎN BANDĂ DE ASMABLARE**

Folosind cunoștințele predate online la cursurile 7.1, 11.1, 11.2 și Curs practic – Micro-arhitectura și performanța procesorului didactic MIPS postate pe cursul CN1 de pe Moodle și prezentate live prin Curs 11 video MIPS Pipeline, pe baza schemei procesorului MIPS de la pagina 98/136 din Cursul practic și executând pe procesor următoarea secvență de instrucțiuni:

I1                           LW         $s2, 0($s1)

I2                           OR          $s0, $s1, $s0

I3            ET1:       BEQ       $s2, $s0, ET2      ; se presupune că BEQ nu se execută o dată (NT - Not True) apoi se execută (T - True)

I4                           LW         $s3, 0($s2)

I5                           BEQ       $s3, $s0, ET1      ; se presupune că BEQ se execută mereu (T - True)

I6                           ADD       $s1, $s3, $s1

I7            ET2:       SW         $s1, 0($s2)

Veți considera că se știe ca mai sus cum se execută ramificațiile.

Se cer următoarele:

a) Găsiți toate dependențele din această secvență de instrucțiuni specificând tipul hazardurilor găsite (structural, RAW, WAR, WAW sau de control) explicând pe scurt și din ce cauză apar.

b) Dacă **nu există** hardware de Forwarding sau pentru detecție hazarduri, să se corecteze execuția doar prin inserarea de NOP-uri pentru eliminarea hazardurilor de la punctul a).

c) Să se repete punctul b) utilizând STALL-uri în loc de NOP-uri.

d) Dacă **există** hardware de Forwarding sau pentru detecție hazarduri, să se corecteze execuția precizând când și cum are loc Forwarding. Atunci când nu se poate realiza doar cu Forwarding, se pot introduce și STALL-uri și/sau NOP-uri și/sau se poate rearanja codul dacă este posibil.

e) Pentru sub-secvența de instrucțiuni I1-I2, ce se păstrează în fiecare registru localizat între două etaje ale benzii de asamblare? Ce ar trebui să facă aceste instrucțiuni în etajele EX și MEM?

    Care sunt valorile semnalelor de control activate de către aceste instrucțiuni în acel etaj al benzii de asamblare?

    Cât timp, în cicluri de ceas, îi ia unității de control să genereze semnalul de control ALUSrc? Comparați cu organizarea MIPS pe un singur ciclu de ceas.

     Care este valoarea semnalului PCSrc pentru aceste instrucțiuni? Acest semnal este generat devreme în etajul MEM al benzii de asamblare (o singură poartă AND). Care este motivul în favoarea acestui lucru în etajul EX? Care este motivul împotriva acestui lucru în etajul EX?

**NOTARE:** 2 puncte pentru toate subpunctele cerute.

**SUBIECT Memorie CACHE**

Folosind cunoștințele predate online la cursurile 12.1 și Curs practic – Arhitectura și performanța subsistemului memoriei CACHE postate pe cursul CN1 de pe Moodle și prezentate live prin Curs 12 video Memoria CACHE, pe baza exemplului de la pagina 14/22 din cursul 12.1, pentru o memorie CACHE de capacitate 16 cuvinte și lungimea blocului de 4 cuvinte, pentru secvența de accese la memorie cu adresa blocului în ordinea LD 0h, LD 8h, LD 16h, ST 0h, LD 12h, LD 8h, LD 100h, ST 20h, LD 208h, ST 16h, LD 22h, LD 124h, LD 126h, LD 30h, LD 32h, ST 116h, ST 0h, LD 200h, LD 54h, LD 72h se cer următoarele:

a)      Dacă memoria CACHE are corespondență directă, să se calculeze frecvența de eșec (Miss Rate) afișând și harta memoriei CACHE și precizând tipul de Miss de acces (de prim acces sau COMPULSORY, de conflict de bloc sau CONFLICT sau de capacitate sau CAPACITY).

b)     Dacă memoria CACHE are corespondență set-asociativă și că algoritmul de înlocuire în caz de Miss al blocului din memoria CACHE este de tip FIFO (First In First Out), să se calculeze frecvența de eșec (Miss Rate) afișând, de asemenea și harta memoriei CACHE și precizând tipul de Miss de acces (de prim acces sau COMPULSORY, de conflict de bloc sau CONFLICT sau de capacitate sau CAPACITY).

c)      Dacă memoria CACHE are corespondență complet asociativă și că algoritmul de înlocuire în caz de Miss al blocului din memoria CACHE este de tip FIFO (First In First Out), să se calculeze frecvența de eșec (Miss Rate) afișând și în acest caz harta memoriei CACHE și precizând tipul de Miss de acces (de prim acces sau COMPULSORY, de conflict de bloc sau CONFLICT sau de capacitate sau CAPACITY).

d)     Să se prezinte schema bloc hardware pentru cazul b) după modelul din cursul practic de la paginile 26/87 și 32/87 cu modificările de rigoare.

**NOTARE:** 2,5 puncte pentru toate subpunctele.